

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 6 9 1 2
Application Number:

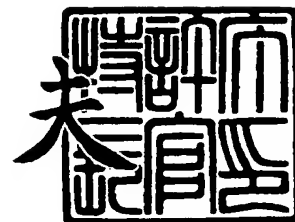
[ST. 10/C] : [J P 2 0 0 3 - 0 5 6 9 1 2]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 1 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290850204

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 B41J 2/01

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 江口 武夫

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100113228

【弁理士】

【氏名又は名称】 中村 正

【手数料の表示】

【予納台帳番号】 076197

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103676

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理装置、信用処理装置用プログラム、信号処理装置用プログラムを記録した記録媒体、及び信号処理方法

【特許請求の範囲】

【請求項 1】 連続的な関係を持つデジタル信号が順次入力され、各デジタル信号に対して所定の演算を行い、その演算結果を出力する信号処理装置であって、

入力されたデジタル信号に対して所定の演算を行う演算手段と、

前記演算手段により得られた演算結果を四捨五入し、出力に必要な上位部のみを抽出する上位部抽出手段と、

前記演算手段により得られた演算結果と、前記上位部抽出手段により抽出された上位部との差を算出する差算出手段と、

前記差算出手段で算出された値そのもの、又は前記差算出手段で算出された値に所定の演算を行った演算値を、次のデジタル信号に対して加算する帰還手段とを備えることを特徴とする信号処理装置。

【請求項 2】 請求項 1 に記載の信号処理装置において、

連続的な関係を持つ第 1 デジタル信号群が順次入力された後、次の連続的な関係を持つ第 2 デジタル信号群が順次入力されるときに、前記第 1 デジタル信号群の最後のデジタル信号の処理によって前記差算出手段で算出された値そのもの又は前記差算出手段で算出された値に所定の演算を行った演算値であって前記帰還手段により前記第 2 デジタル信号群の最初のデジタル信号に加算すべき値を、リセットするか、又は特定値が加算されるように制御する

ことを特徴とする信号処理装置。

【請求項 3】 請求項 1 に記載の信号処理装置において、

前記帰還手段は、前記差算出手段で算出された値に 1 未満の値を乗じて得た値を、次のデジタル信号に対して加算する

ことを特徴とする信号処理装置。

【請求項 4】 請求項 1 に記載の信号処理装置において、

オーバーサンプリングによって取得したデジタル信号を前記演算手段に入力す

る

ことを特徴とする信号処理装置。

【請求項 5】 連続的な関係を持つデジタル信号が順次入力され、各デジタル信号に対して所定の演算を行い、その演算結果を出力するために信号処理装置を機能させるための信号処理装置用プログラムであって、

前記信号処理装置を

入力されたデジタル信号に対して所定の演算を行う演算手段、

前記演算手段により得られた演算結果を四捨五入し、出力に必要な上位部のみを抽出する上位部抽出手段、

前記演算手段により得られた演算結果と、前記上位部抽出手段により抽出された上位部との差を算出する差算出手段、

前記差算出手段で算出された値そのもの、又は前記差算出手段で算出された値に所定の演算を行った演算値を、次のデジタル信号に対して加算する帰還手段として機能させる

ことを特徴とする信号処理装置用プログラム。

【請求項 6】 請求項 5 に記載の信号処理装置用プログラムにおいて、

前記信号処理装置を

連続的な関係を持つ第 1 デジタル信号群が順次入力された後、次の連続的な関係を持つ第 2 デジタル信号群が順次入力されるときに、前記第 1 デジタル信号群の最後のデジタル信号の処理によって前記差算出手段で算出された値そのもの又は前記差算出手段で算出された値に所定の演算を行った演算値であって前記帰還手段により前記第 2 デジタル信号群の最初のデジタル信号に加算すべき値を、リセットするか、又は特定値が加算されるように制御する手段

として機能させる

ことを特徴とする信号処理装置用プログラム。

【請求項 7】 請求項 5 に記載の信号処理装置用プログラムにおいて、

前記信号処理装置を

前記帰還手段が、前記差算出手段で算出された値に 1 未満の値を乗じて得た値を、次のデジタル信号に対して加算する手段

として機能させる

ことを特徴とする信号処理装置用プログラム。

【請求項 8】 請求項 5 に記載の信号処理装置用プログラムにおいて、
前記信号処理装置を
オーバーサンプリングによって取得したデジタル信号を前記演算手段に入力する手段

として機能させる

ことを特徴とする信号処理装置用プログラム。

【請求項 9】 連続的な関係を持つデジタル信号が順次入力され、各デジタル信号に対して所定の演算を行い、その演算結果を出力するために信号処理装置を機能させるプログラムを記録した信号処理装置で読み取り可能な、信号処理装置用プログラムを記録した記録媒体であって、

前記信号処理装置を

入力されたデジタル信号に対して所定の演算を行う演算手段、

前記演算手段により得られた演算結果を四捨五入し、出力に必要な上位部のみを抽出する上位部抽出手段、

前記演算手段により得られた演算結果と、前記上位部抽出手段により抽出された上位部との差を算出する差算出手段、

前記差算出手段で算出された値そのもの、又は前記差算出手段で算出された値に所定の演算を行った演算値を、次のデジタル信号に対して加算する帰還手段

として機能させるためのプログラムを記録した

ことを特徴とする信号処理装置用プログラムを記録した記録媒体。

【請求項 10】 請求項 9 に記載の信号処理装置用プログラムを記録した記録媒体において、

前記信号処理装置を

連続的な関係を持つ第 1 デジタル信号群が順次入力された後、次の連続的な関係を持つ第 2 デジタル信号群が順次入力されるときに、前記第 1 デジタル信号群の最後のデジタル信号の処理によって前記差算出手段で算出された値そのもの又は前記差算出手段で算出された値に所定の演算を行った演算値であって前記帰還

手段により前記第2 デジタル信号群の最初のデジタル信号に加算すべき値を、リセットするか、又は特定値が加算されるように制御する手段

として機能させるためのプログラムを記録した

ことを特徴とする信号処理装置用プログラムを記録した記録媒体。

【請求項 11】 請求項 9 に記載の信号処理装置用プログラムを記録した記録媒体において、

前記信号処理装置を

前記帰還手段が、前記差算出手段で算出された値に 1 未満の値を乗じて得た値を、次のデジタル信号に対して加算する手段

として機能させるためのプログラムを記録した

ことを特徴とする信号処理装置用プログラムを記録した記録媒体。

【請求項 12】 請求項 9 に記載の信号処理装置用プログラムを記録した記録媒体において、

前記信号処理装置を

オーバーサンプリングによって取得したデジタル信号を前記演算手段に入力する手段

として機能させるためのプログラムを記録した

ことを特徴とする信号処理装置用プログラムを記録した記録媒体。

【請求項 13】 連続的な関係を持つデジタル信号が順次入力され、各デジタル信号に対して所定の演算を行い、その演算結果を出力するために信号処理装置を機能させる信号処理方法であって、

入力されたデジタル信号に対して所定の演算を行う演算ステップ、

前記演算ステップにより得られた演算結果を四捨五入し、出力に必要な上位部のみを抽出する上位部抽出ステップ、

前記演算ステップにより得られた演算結果と、前記上位部抽出ステップにより抽出された上位部との差を算出する差算出ステップ、

前記差算出ステップで算出された値そのもの、又は前記差算出ステップで算出された値に所定の演算を行った演算値を、次のデジタル信号に対して加算する帰還ステップ

を含むことを特徴とする信号処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば画像情報や音声情報のような連続信号をデジタル変換によって別の情報にフィルターをかけたり、レベルを可変等することで、変換するときに用いられる信号処理装置、信用処理装置用プログラム、信号処理装置用プログラムを記録した記録媒体、及び信号処理方法に関するものである。

【0 0 0 2】

【従来の技術】

従来のこの種の信号処理装置において、例えば入力データに対して所定の演算を行い、その演算結果を出力する場合に、演算結果（出力データ）が入力データのビット長よりも長くなるようなときは、演算結果を入力データのビット長に合わせるための処理が必要となる。

【0 0 0 3】

図6は、このような処理方法を説明するための図である。図6において、 P_n は、デジタル化された入力データであり、 Q_n は、 P_n を制御するためのデータであり、一般には1以下の値である。そして、これらの P_n と Q_n とを乗算器1に入力し、出力 X_n ($= P_n \times Q_n$)を得る。ここで、 X_n は、一般に、入力データである P_n のビット数と、 Q_n のビット数との和のビット数となる。

【0 0 0 4】

そして、このような出力値 X_n では、入力データ P_n とビット数が異なってしまうので、元の P_n のビット数に変換する必要がある。

このため、 X_n をさらに閾値処理器2に入力して、 X_n のビット長の短縮化処理を行う。これにより、所定のビット長にされた出力データ Y_n を得るようにする。なお、出力データ Y_n は、必ずしも入力データ P_n と同一のビット長とは限らない。

【0 0 0 5】

以上のような閾値処理において、一般に、（1）切り捨て、（2）切り上げ、

又は(3)四捨五入、等が知られている。

図7は、入力値Xに対し、演算値 $Y = 0.02X + 1$ であるとき、演算値Yの整数部のみが出力値として求められる場合に、小数点以下の切り捨てと、四捨五入による結果をグラフにして示す図である（なお、図7では、切り上げの例は省略している）。

【0006】

例えば、四捨五入の場合には、入力値Xが2.5未満までは、演算値Yの整数部は、1であるが、入力値Xが2.5のときに、その値が2になることを図示している。なお、図7より明らかであるが、四捨五入や切り捨ての場合には、演算値Yの整数部の変化は、ステップ状にしか生じない（滑らかでない）。

【0007】

【発明が解決しようとする課題】

しかし、前述の従来技術において、(1)切り捨て、(2)切り上げ、又は(3)四捨五入のいずれの方法であっても、大なり小なりの誤差が生じてしまう。例えば四捨五入では、長い間の平均値を見れば、誤差は0であるのに対して、切り捨てでは、各演算段階で平均して、0.5の誤差が出る。また、四捨五入にしても、平均化しないで考えると、変化点付近では最大の誤差となる。そして、前述の例のように、入力値Xが単純な直線の場合には、入力値Xの変化につれて誤差は増減を繰り返すが、入力値Xが変化点付近に集中する場合や、入力値Xに対して変化率が遅い場合には、演算値Yは、長い間、大きな誤差を伴ったまま変化しない状態が続いてしまう場合があるという問題がある。

【0008】

また、入力データと出力データとのビット数の差が大きい場合には、出力データの蓄積値と入力データの蓄積値とでは、かなりの累積誤差となってしまう。このように累積誤差が問題になるような場合には、信号処理のビット数を大きくとり、誤差が少なくなるようにし、累積誤差によって特定方向に出力データが偏らないような工夫がなされる。

【0009】

なお、誤差が問題となるかどうかは、出力データの使用目的やビット数にもよ

るが、通常は、最終的に要求される誤差の程度に対して十分に許容できる範囲に誤差が収まるようなビット数が選定されるので、誤差は問題とならない。

すなわち、処理ビット数を増加させたり、メモリー容量を増加させたりすることで、誤差が問題にならない程度にすることが可能である。

【0010】

しかし、ビット数を増加させて対応できないもの（少ないビット数で対応しなければならないもの）も存在するのが実情である。例えば、ON/OFFでしか対応できないものや、本来は連続制御を行いたいON/OFFで対応した方がエネルギー効率等の点で有利になる場合が挙げられる。

【0011】

また、デジタルオーディオにおけるレベル調整、デジタル画像におけるコントラスト変更等、元々固定のビット数を割り当てられていた信号で、動作範囲を狭められた場合には、その信号振幅に対して与えられるビット数は少なくなるので、信号に対する相対誤差はレベルが小さくなればなるほど増大してしまう。

【0012】

さらにまた、サーマル方式のインクジェットプリンタにおける信号処理においては、インク液滴を一定量しか吐出することができないので、記録媒体上に対し、インク液滴を吐出する／しないかの2値制御となる。このような点画で中間階調を得る場合には、面積変調によるのが一般的であるが、誤差拡散やディザー法等の従来の技術では、満足な階調特性を得るためには、演算量が増えてしまうという問題がある。このために、回路規模が大きくなる、又はソフトウェア処理時の速度が遅くなるという問題があった。

【0013】

したがって、本発明が解決しようとする課題は、入力されるデジタル信号からビット数を減らした演算処理を行っても、元のデータの滑らかさや周波数特性が損なわれないようにすることである。

【0014】

【課題を解決するための手段】

本発明は、以下の解決手段によって、上述の課題を解決する。

本発明の 1 つである請求項 1 の発明は、連続的な関係を持つデジタル信号が順次入力され、各デジタル信号に対して所定の演算を行い、その演算結果を出力する信号処理装置であって、入力されたデジタル信号に対して所定の演算を行う演算手段と、前記演算手段により得られた演算結果を四捨五入し、出力に必要な上位部のみを抽出する上位部抽出手段と、前記演算手段により得られた演算結果と、前記上位部抽出手段により抽出された上位部との差を算出する差算出手段と、前記差算出手段で算出された値そのもの、又は前記差算出手段で算出された値に所定の演算を行った演算値を、次のデジタル信号に対して加算する帰還手段とを備えることを特徴とする。

【0015】

(作用)

上記発明においては、四捨五入によって発生した誤差は、差算出手段によって算出され、その算出された値、又はその算出された値に所定の演算を行った演算値が、帰還手段によって次のデジタル信号に対して加算される。

したがって、演算によって発生した誤差が、順次、次のデジタル信号に加算され、誤差が累積しないようになる。

【0016】

【発明の実施の形態】

以下、図面等を参照して、本発明の一実施形態について説明する。

(第 1 実施形態)

図 1 は、本発明による信号処理装置の第 1 実施形態を示すブロック図である。なお、図 1 に示した信号処理装置 10 は、ハードウェアによる実現（例えば、信号処理回路）を想定したものであるが、ソフトウェアにより実現することも可能である。また、図 1 に示す全てのレジスター 11 等は、同一のクロック信号に同期して動作するように形成されている。

【0017】

なお、本実施形態では、以下に説明するように、従来技術で示したものと同様に、

$$Y = 0.02X + 1$$

の演算を行い（本発明における演算手段に相当する処理）、その演算結果中、整数部のみを出力に必要な上位部として抽出し（本発明における上位部抽出手段に相当する処理）、小数部を誤差として取り扱う。

【0018】

図1において、入力レジスタ11は、Nビットのデジタル信号が入力される部分である。また、この入力レジスタ11に入力されたデジタル信号は、入力用加算器12に入力される。さらに、入力用加算器12には、前回の演算で発生した誤差が入力される。そして、入力されたデジタル信号と、入力された誤差とが入力用加算器12によって加算される。

さらに、その加算結果が、上位ビットレジスタ13と、下位ビットレジスタ14とに出力される。

【0019】

図1に示すように、入力されたNビットのデジタル信号 X_n のうち、上位ビットレジスタ13に出力されるデジタル信号のビット数をKビットとしたとき、下位ビットレジスタ14に出力されるビット数は、 $(N-K)$ ビットとなる。

そして、下位ビットレジスタ14の出力値が、0.5を超えているか否かが判別され、0.5以上であると判別されたときは、1の値を上位ビット加算器15に入力し、上位ビットの繰り上げ処理を行う。これにより、上位ビットレジスタ13からの出力値に1が加算される。

【0020】

さらに、1の値を上位ビット加算器15に入力したときは、その繰り上げに伴う誤差を、下位ビット加算器16に入力する（本発明における差算出手段に相当する処理）。例えば、下位ビットレジスタ14の出力値が0.7であり、0.5以上であると判別されて1の値が上位ビット加算器15に入力されたときは、この繰り上げによって発生した誤差は、「-0.3」である。したがって、この「-0.3」の値を下位ビット加算器16に入力する。

【0021】

なお、以上のように繰り上げを行ったときは、下位ビットレジスタ14からの出力値をPとすると、

$$(1 - P) \times (-1)$$

の値を下位ビット加算器 16 に入力することとなる。

【0022】

これに対し、0.5未満であると判別されたときは、1の値を上位ビット加算器 15 に入力することはない。そして、その値（小数部）そのものを、下位ビット加算器 16 に入力する（上述と同様に、本発明における差算出手段に相当する処理）。

以上より、抽出された整数部に対して四捨五入が行われる。

【0023】

また、上位ビット加算器 15 からの出力値は、出力レジスタ 17 に K ビットの値として送られ、そのデータ Y_n が出力される。

一方、下位ビット加算器 16 からの出力値は、端数処理レジスタ 18 に入力され、その端数のビット数（桁数）をそろえる処置が行われる。そして、この処理後の値が、入力用加算器 12 に入力されることにより、誤差が帰還される（本発明における帰還手段に相当する処理）。

【0024】

以上の処理について、さらに詳しく説明する。

先ず、入力される連続した値が、 $\{X_1, X_2, X_3, \dots\}$ で表される実数の数列とする。

各実数 X_1, X_2, \dots は、それぞれ、整数部 A と小数部 B とからなり、

$$X_n = A_n + B_n$$

の形で与えられるものとする。

【0025】

そして、四捨五入して整数部のみを抽出した出力値を Y_n としたとき、

$$X_1 = A_1 + B_1$$

に対して、

$$Y_1 = [X_1]$$

$$= A_1 \quad (B_1 < 0.5 \text{ の場合})$$

$$= A_1 + 1 \quad (0.5 \leq B_1 < 1 \text{ の場合})$$

(ここで、 $[X_n]$ は、 X_n を適当な位で、例えば小数部を四捨五入する操作を意味する。)

となる。

【0026】

そして、 $Y_1 = A_1$ であったとき (切り上がらなかったとき) は、

$$\begin{aligned} Y_2 &= [X_2 (=A_2 + B_2) + B_1] \\ &= A_2 \quad (B_2 + B_1 < 0.5 \text{ の場合}) \\ &= A_2 + 1 \quad (0.5 \leq B_2 + B_1 < 1 \text{ の場合}) \end{aligned}$$

となる。

一方、 $Y_1 = A_1 + 1$ であったとき (切り上がったとき) は、

$$\begin{aligned} Y_2 &= [X_2 (=A_2 + B_2) + (B_1 - 1)] \\ &= A_2 \quad (B_2 + B_1 - 1 < 0.5 \text{ の場合}) \\ &= A_2 + 1 \quad (0.5 \leq B_2 + B_1 - 1 < 1 \text{ の場合}) \end{aligned}$$

となる。

【0027】

以上のようにして、順次、 Y_n を求めることができる。

そして、本実施形態の場合には、四捨五入して生じた誤差は、次の演算時に処理 (加算) されるので、例えば Y_1 の算出において切り上げが生じ、

$$Y_1 = A_1 + 1$$

となり、 Y_1 の出力が実際の入力 X_1 より大きくなってしまっても、次の Y_2 の算出では、その誤差分だけ減算されるので、 $Y_1 + Y_2$ で考えると、差し引きゼロの誤差となる。

【0028】

このようにして、演算を続けていき、 $Y_1 \sim Y_n$ を算出したときの総和 ($Y_1 + Y_2 + \dots + Y_n$) は、

$$\begin{aligned} & \text{SUM}(Y_n) \\ &= (A_1 + 1^*) + (A_2 + 1^*) + (A_3 + 1^*) + \dots + (A_n + 1^*) \\ & \quad + (B_1 - 1^*) + (B_2 - 1^*) + (B_3 - 1^*) \dots + (B_n - 1^*) \end{aligned}$$

$$= X_1 + X_2 + X_3 + \cdots + X_n$$

(ここで、「1*」は、四捨五入で繰り上がったときのみ1となることを意味する。)

となる。

上記の式において、 $(A_1 + 1^*) \sim (A_n + 1^*)$ は、整数部を意味し、 $(B_1 - 1^*) \sim (B_n - 1^*)$ は、小数部を意味する。

【0029】

上記式において、例えば A_1 の項で1が立ったときは、 B_1 の項でも1が立つこととなる。

したがって、結果として、 $Y_1 \sim Y_n$ までを加算したときは、四捨五入に伴い発生する誤差は、打ち消され、差し引きゼロとなる(すなわち、誤差が累積しないことになる)。

【0030】

すなわち、 Y_n (出力値) の総和は、 X_n (入力値) の総和に等しくなる。

これにより、処理するデータが連続するときには、十分なビット数が確保できれば、誤差は原理的にはないこととなる。

【0031】

図2は、以上のようにして、

$$Y = 0.02X + 1$$

の演算を行ったときの結果をグラフにして示す図である。なお、グラフでは、従来技術で示した、単なる四捨五入との差を比較して示している。

図2において、単なる四捨五入の方法では、小数点以下の数値が閾値に達しない限り、出力が変化しない。これに対し、本実施形態の方法では、その都度、四捨五入で生じた端数が次の入力値に加算されるので、変化の頻度が高くなる。そして、その頻度は、入力値と出力値の差、すなわち誤差の量(絶対値)に比例する。また、出力値は、2つの値の間を行き来するので、フィルター等で平均化を行えば、滑らかに値を変化させることができる。

【0032】

さらにまた、各演算の直近の誤差は、四捨五入の影響を受けて通常の四捨五入

時の2倍にも達するが、各変化の幅が狭いので、入力値 X の移動平均の誤差は少ないことを意味する。図2中、「5区間移動平均」として示した曲線は、連続する5点の平均値を表したものであるが、この曲線から、誤差の振幅が小さくなっていることが分かる。

【0033】

このように、本実施形態のような方法を用いれば、最も誤差の大きくなる付近で頻繁に2つの出力値の間を行き来するので、平均的には、その比率での中間値を表わすことができる。さらに、誤差成分を高い周波数に集中させることができるので、簡単な（低次の）ローパスフィルターを通すだけで、高調波成分（誤差）の少ない出力を得ることができるようになる。

【0034】

次に、端数処理レジスター18から、入力用加算器12への誤差入力処理についての他の例を説明する。

上述のように、連続するデジタル信号が順次入力される場合には、その都度、誤差を算出して入力用加算器12に入力するように制御する。

しかし、例えば $X_n = A_n + B_n$ の形で与えられる入力値に対して、入力 X_n がなくなると、端数 B_n も全く発生しなくなってしまう。これにより、次の入力に加算されるべき B_n がそのまま保存され、次の有効な X_n が入力されるまで保存される。

【0035】

ところが、この B_n は、次の演算とは全く関係のない端数であるので、保存されることに意味がないばかりか、次の入力値 X_n によっては、悪影響を及ぼしてしまう場合がある。

すなわち、次に入力される X_n の値に誤差が全くない、例えば出力値 Y_n とほぼ同一値のような場合であっても、前回の演算によって保存されている誤差が例えば0.5を超えているようなときには、異なった結果（ X_{n+1} 、又は X_{n-1} ）が出力されてしまう。

【0036】

このようなことを避けるためには、一連のデジタル信号（第1デジタル信号群

) の演算が終了し、例えば次の入力値 X_n がゼロとなったときは、端数処理レジスター 18 に記憶されている誤差 (次の入力値に加算すべき誤差) をゼロにリセットする方法が挙げられる。

このように制御することで、次の一連のデジタル信号 (第 2 デジタル信号群) X_n が入力されたときは、初期状態を常に同一条件にして演算を開始することができるようになる。

【0037】

一方、端数処理レジスター 18 に記憶されている数値を利用して、次の演算結果に特定の効果をもたらすことができる。

例えば、同期したクロック信号で複数同時の処理を実行するような場合において、出力の変化に一定の関係 (例えば同時には変化させることなく、少しずつ、ずらした時刻又は位置で変化させるように制御する) を持たせることができる。

【0038】

図 3 は、図 2 と同様の処理を、2 つの処理 (処理 A と処理 B) を同時に行いながら位相を変化させたときの例をグラフにして示す図である。図 3 において、実線は処理 A を示し、破線は処理 B ($A + 0.5$) を示している。

【0039】

また、図 4 は、上記の処理を面積変調による点画のような画像処理に応用した例を示す図である。図 4 では、1 から 100 まで 1 ステップずつ変化する数値をデータ入力として閾値 100 で 2 値化し、帰還させた誤差を加算した数値が 100 を超えたときにドットを形成するようにしたものである。なお、図 4 では、図中、矢印方向 (上から下方向) を時間軸にとっている。すなわち、一番上が最初の入力値に対応するドットとなる。また、図中、横方向は、独立して 50 個の処理を行ったものである。

【0040】

図 4 において、左側の図では、初期値 (図中、一番上) で、横方向の 50 個のデータに対して、1 ~ 100 までの乱数を与えたものである。

これに対し、右側の図では、初期値として、100 以下の 6 個の数値 (16 の倍数である 16、32、48、64、80、及び 96 の値であって、順番を適当

に変えたもの)を繰り返し与えたものである。

このように、複数の処理を並設して行う画像処理のような場合には、与える初期値によって初期位相が変化することを利用して、種々の変化を設けることが可能となる。

【0041】

(第2実施形態)

図5は、本発明による信号処理装置の第2実施形態(信号処理装置10A)を示すブロック図であり、第1実施形態の図1に対応する図である。

第1実施形態では、端数(誤差)の値そのものを、次の入力される値 X_n に加算するようにしたが、第2実施形態では、乗算器21を追加した例を示している。すなわち、下位ビット加算器16で処理された端数は、乗算器21に入力され、本実施形態では、1未満の定数 α (1未満の定数であれば、いかなる値でも良いが、例えば0.75)を端数にかけるようにしている。

【0042】

これにより、上述したように、例えば長い間、 X_n が入力されないような場合には、毎回少しずつ端数が小さくなり、ゼロに収束する(減衰する)ようになる。したがって、長い間、 X_n が入力されなくなったときに、次に X_n が入力されたときは、加算される誤差(端数)が極めて小さい値となっているので、この値を入力値 X_n に加算して演算を行ったとしても、初期状態にほぼ等しい状態で演算を行うことができる。

【0043】

なお、本実施形態では、演算処理に伴う誤差が次々と、次の入力値 X_n に加算されるように、すなわち誤差がフィードバックされるようにしているので、演算に伴う誤差成分を、高い周波数に集中させることができる。そして、その効果は、オーバーサンプリング、すなわちナイキスト周波数の2倍を超える周波数でサンプリング(標本化)することで、さらに高い周波数に演算誤差を配置することができる。よって、基底周波数成分をほとんど損なうことなく、低次の出力高調波カットフィルターを用いて高調波を減衰させることができる。

【0044】

以上の信号処理装置 10、10A は、単に閾値を誤差なく処理することに限らず、多値はもちろんのこと、2 値にも応用することができる。それらの例としては、(1) 電力制御 (照明・温度制御・運動制御)、(2) 計測・指示 (メーター)、(3) 液量制御 (インクジェットプリンタ等)、等が挙げられる。

【0045】

また、本発明の信号処理装置が、誤差拡散による方法と本質的に異なる点について言及する。

誤差拡散による方法では、2 次元のデータを処理するために、主として画像処理に用いられるものであるが、本発明は、基本的には連続する一連の 1 次元のデータを処理するために用いられる。

また、誤差拡散による方法では、誤差の重み付けを行った上で、近隣の複数のデータに加算する (2 次元に分散させる) ものである。

【0046】

これに対し、本発明 (請求項 1) では、誤差の値そのものを、次の入力に加算するだけである。さらに、本発明では、プリロード等の形で、演算開始時の初期値を任意に設定できるものである。

また、本発明は、誤差拡散のように大きなメモリを必要とせず、演算時間を短縮することができる。

【0047】

以上、本発明の一実施形態について説明したが、本発明は、上記実施形態に限定されることなく、種々の変形が可能である。

例えば、どこで四捨五入をするかは任意である。また、四捨五入をすることによって上位部のみを抽出するときに、どの部分を上位部とするかについても任意である。上位部及び下位部ともに小数である場合や、整数である場合もある。

【0048】

なお、上記実施形態においては、図 1 及び図 5 に示した内容をハードウェアを用いて実現する場合について説明したが、上述したように、本発明は、ソフトウェアを用いても実現することもできる。すなわち、図 1 及び図 5 に示した (無論、本発明は、上記実施形態に限定されるものではない) 内容を、信号処理装置用

プログラムの形で提供し、信号処理装置で機能させるようにしても、本発明の目的を達成することができる。また、本発明は、信号処理装置を機能させるための信号処理装置用プログラムとして実現可能なのであるから、この信号処理装置用プログラムをCD-ROM等の記録媒体に記録して、信号処理装置用プログラムを記録した記録媒体として提供することもできる。

【0049】

【発明の効果】

本発明によれば、システムを複雑にすることなく、かつ、メモリ容量を増やす等のコストを高くすることなく、信号処理時の演算結果の精度を高めることができるとともに、演算時間の短縮化を図ることができる。

【図面の簡単な説明】

【図1】

本発明による信号処理装置の第1実施形態を示すブロック図である。

【図2】

演算結果をグラフにして示す図である。

【図3】

図2と同様の処理を2つの処理（処理Aと処理B）を同時に行いながら位相を変化させたときの例をグラフにして示す図である。

【図4】

本実施形態の処理を面積変調による点画のような画像処理に応用した例を示す図である。

【図5】

本発明による信号処理装置の第2実施形態を示すブロック図である。

【図6】

従来のデータの処理方法を説明するための図である。

【図7】

入力値と出力値との関係について、小数点以下の切り捨てと四捨五入とをグラフにして示す図である。

【符号の説明】

1 0、1 0 A 信号処理装置

1 1 入力レジスター

1 2 入力用加算器

1 3 上位ビットレジスター

1 4 下位ビットレジスター

1 5 上位ビット加算器

1 6 下位ビット加算器

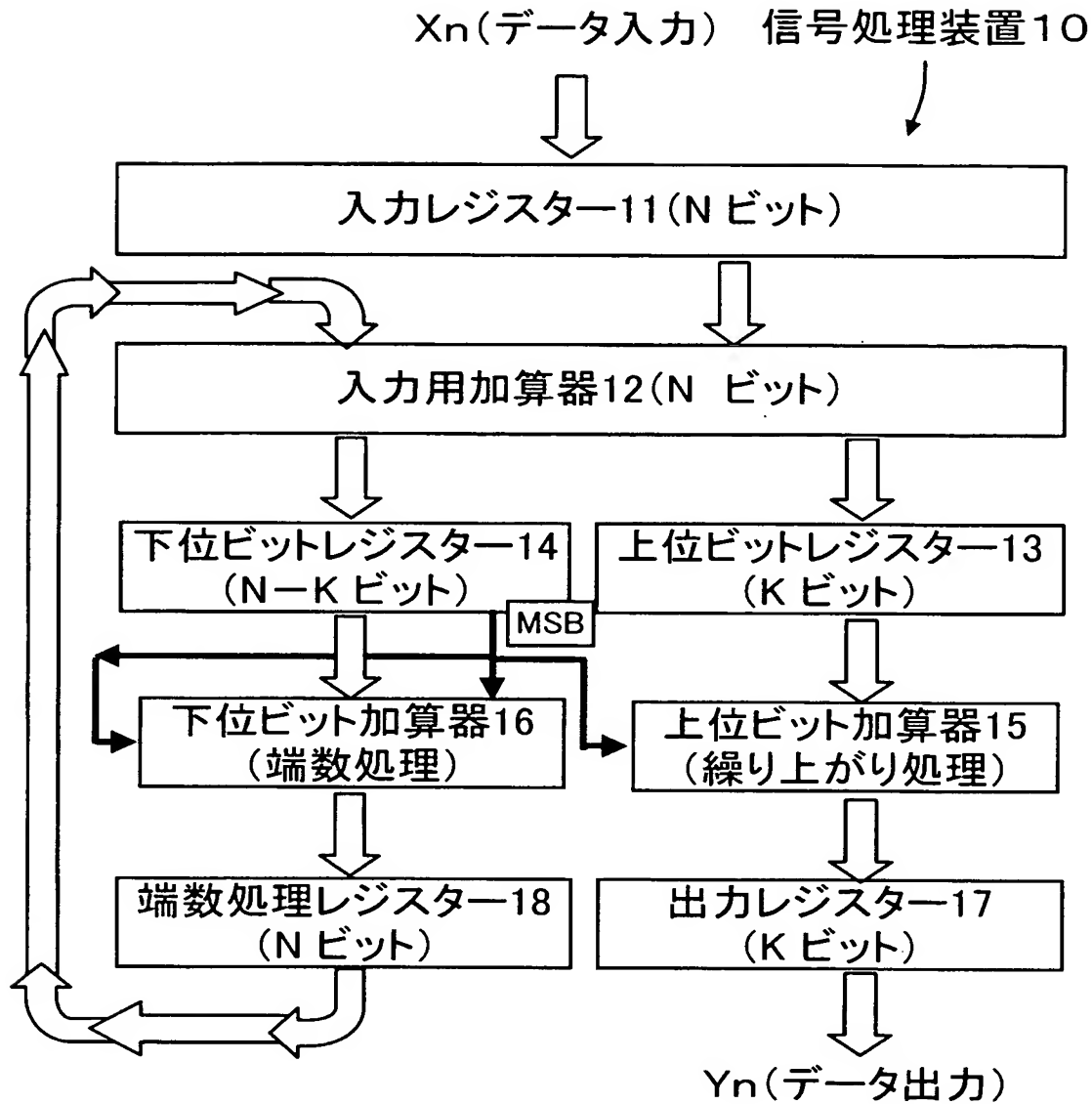
1 7 出力レジスター

1 8 端数処理レジスター

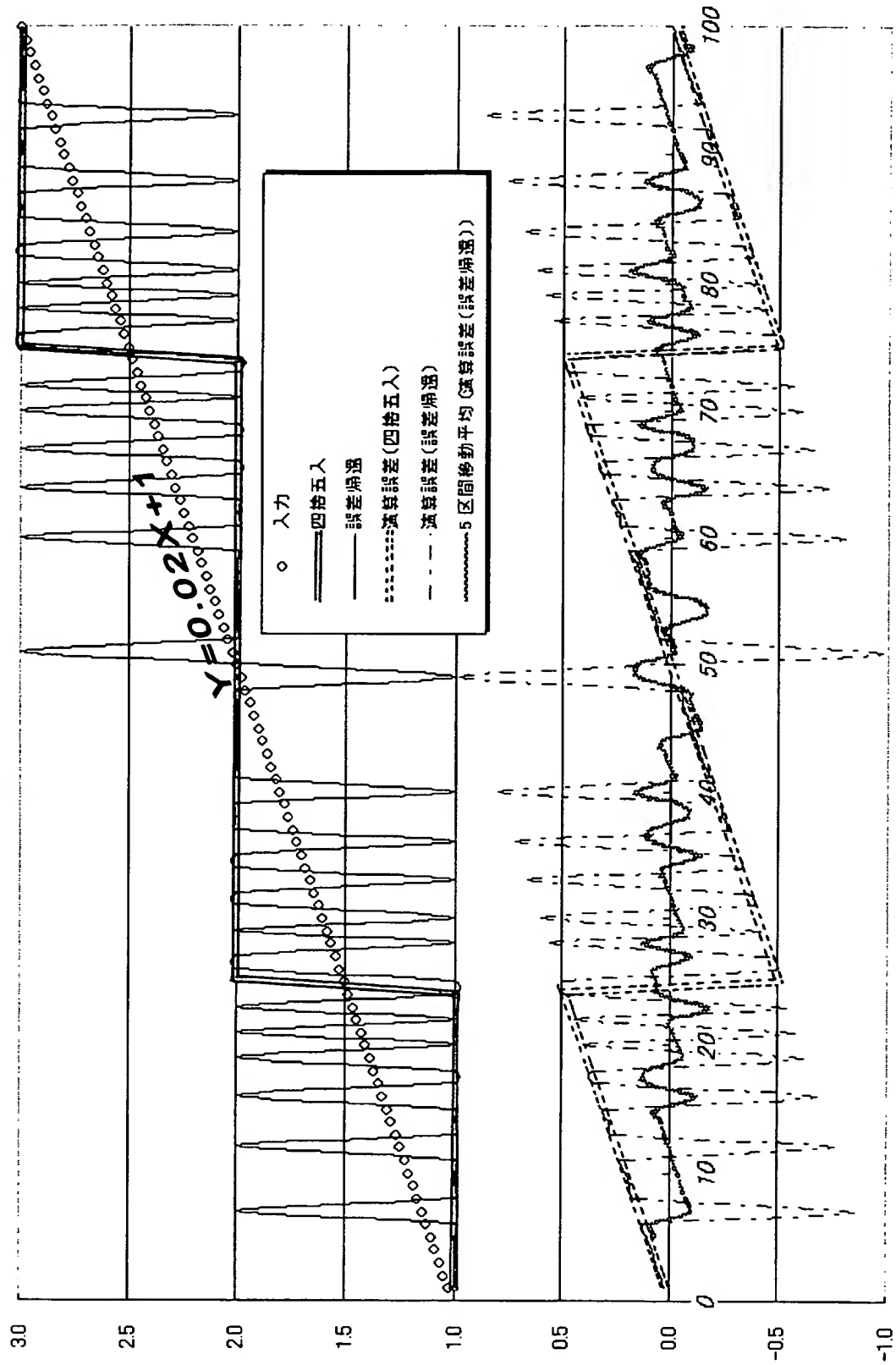
2 1 乗算器

【書類名】 図面

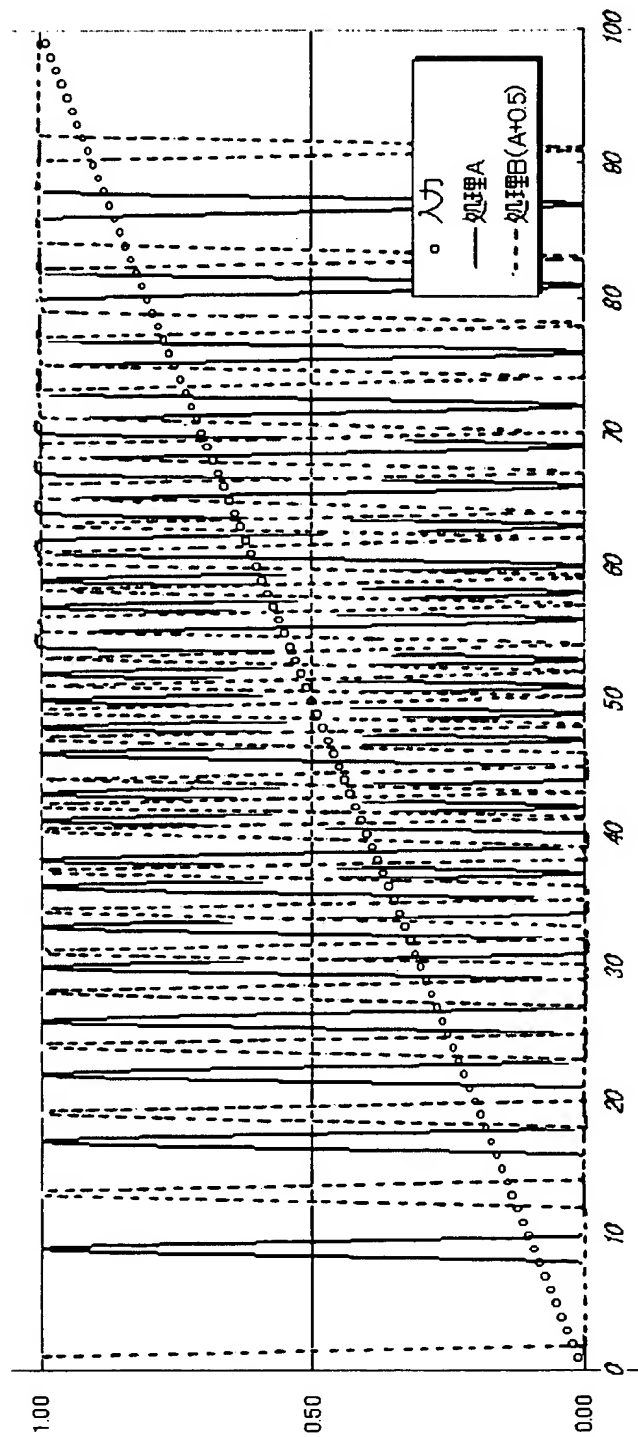
【図 1】



【図 2】

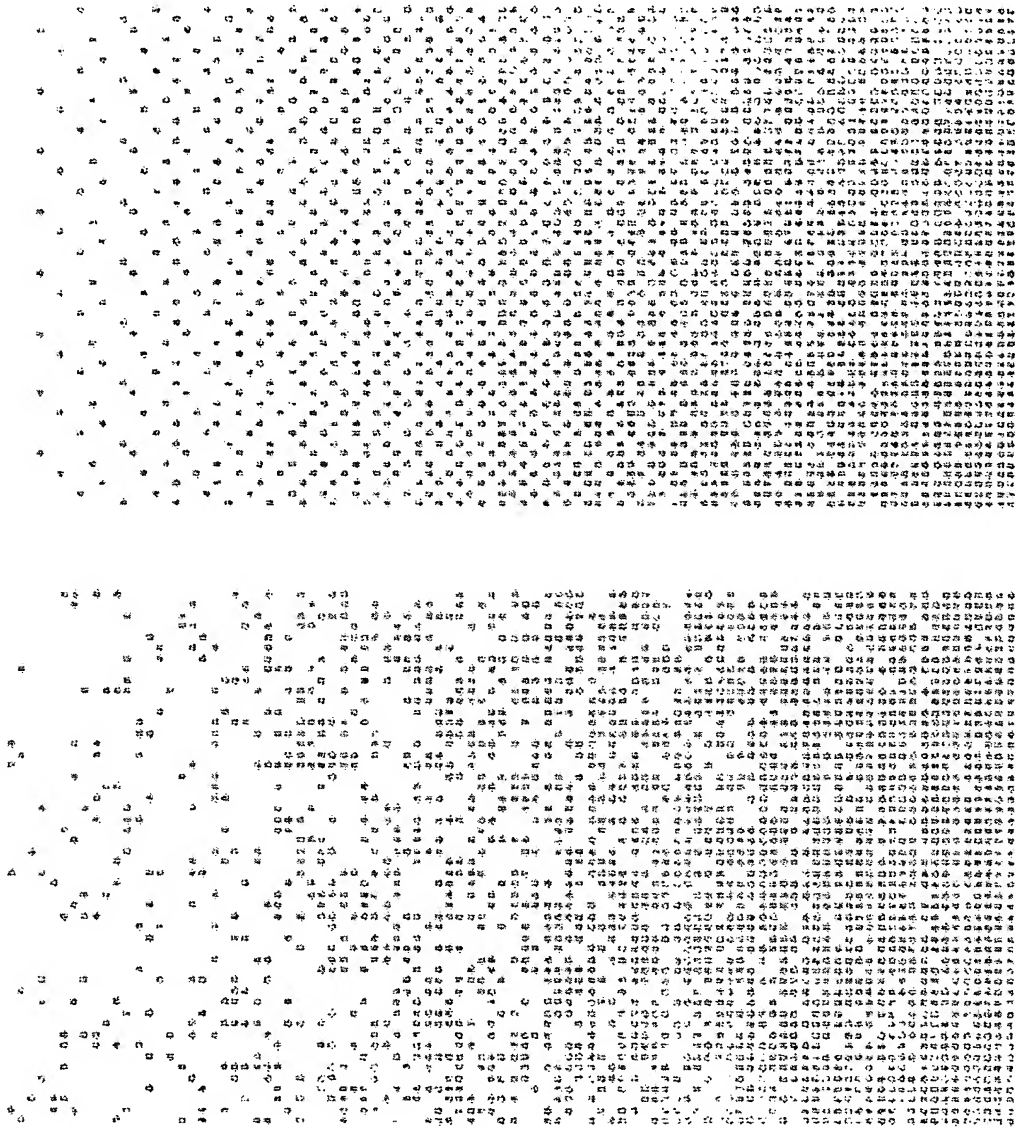


【図 3】



【図4】

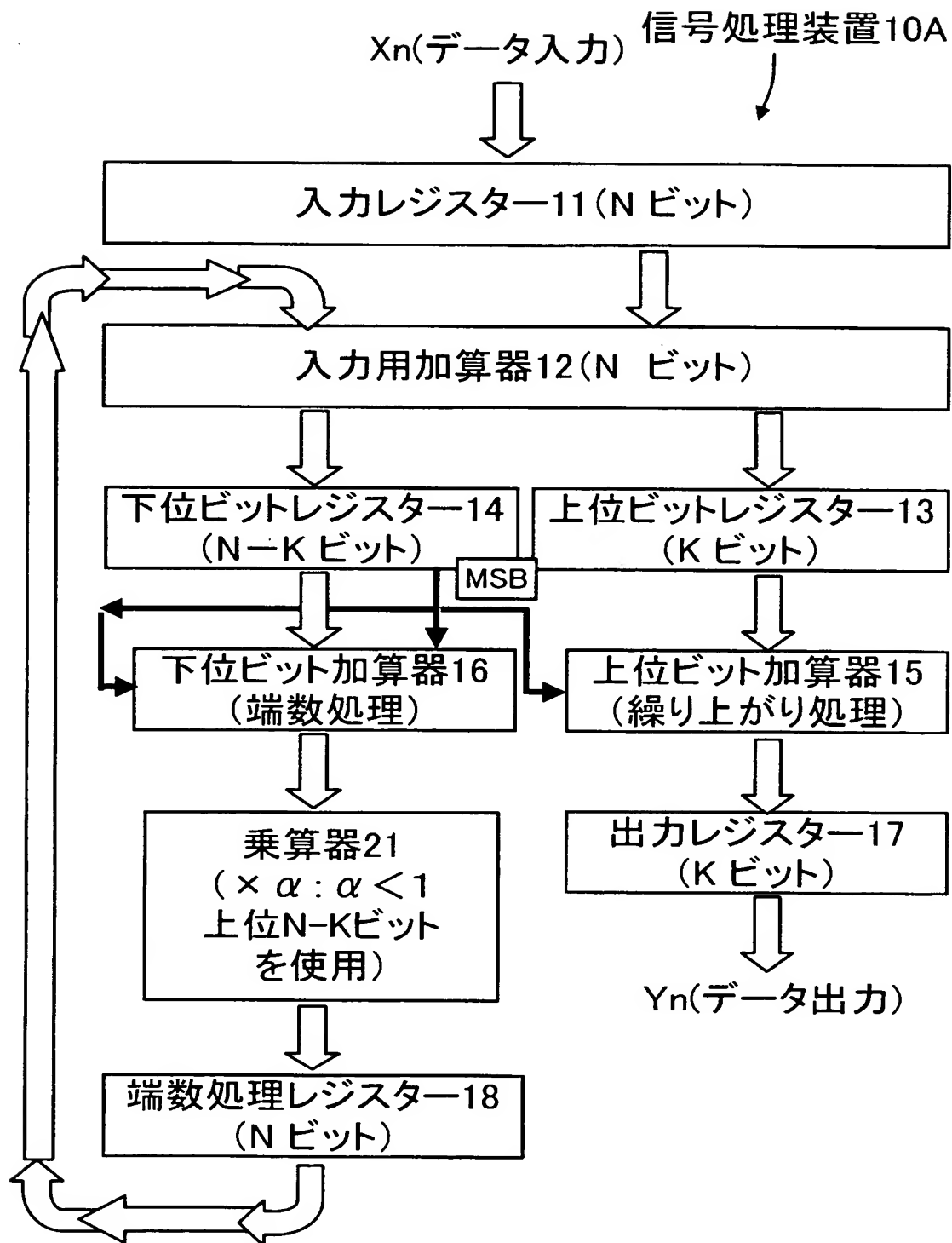
データの蓄積値が閾値100を超えるとドットが打たれる



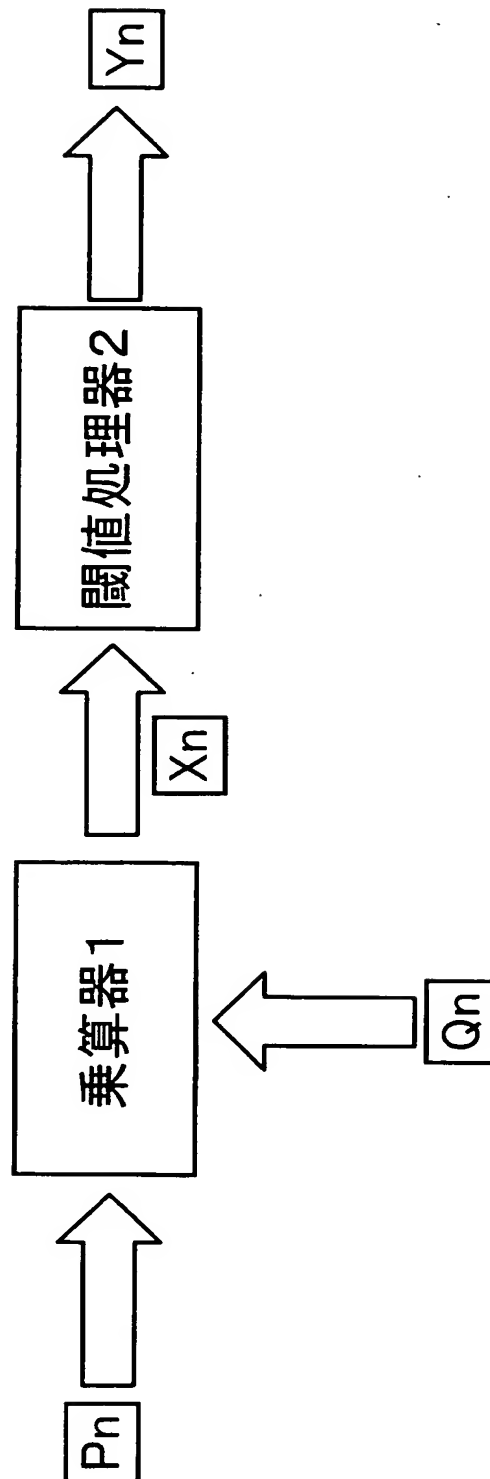
初期値を適当な整数で与えたとき

初期値を乱数で与えたとき

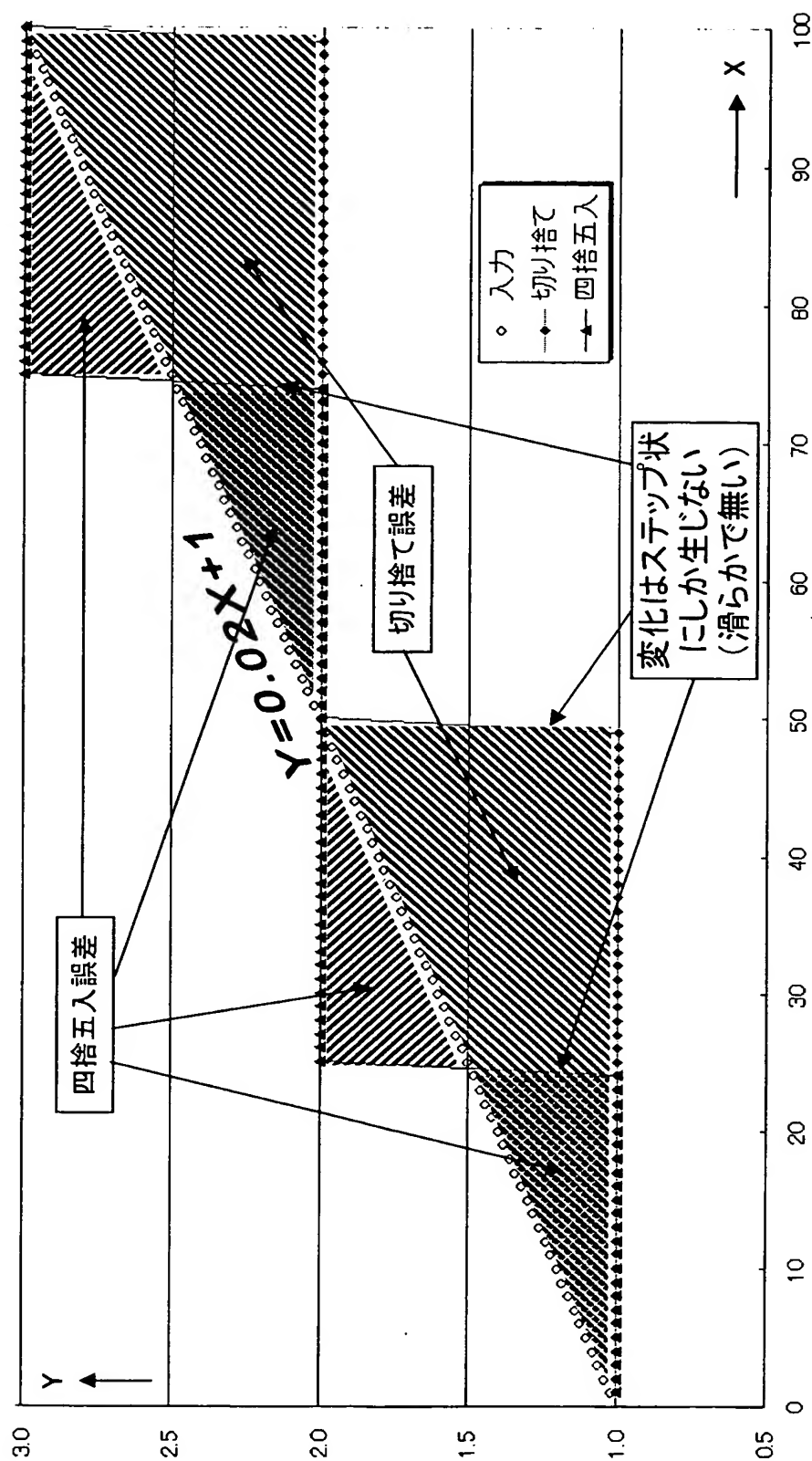
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 入力されるデジタル信号からビット数を減らした演算処理を行っても、元のデータの滑らかさや周波数特性が損なわれないようにする。

【解決手段】 連続的な関係を持つデジタル信号 X_n が順次入力され、各デジタル信号に対して所定の演算を行い、その演算結果を出力する信号処理装置 10 であって、入力されたデジタル信号 X_n に対して所定の演算を行い、得られた演算結果を四捨五入し、出力に必要な上位部のみを抽出する上位部抽出手段（上位ビットレジスター 13 及び上位ビット加算器 15）と、得られた演算結果と前記上位部抽出手段により抽出された上位部との差を算出する差算出手段（下位ビットレジスター 14 及び下位ビット加算器 16）と、前記差算出手段で算出された値を次のデジタル信号に対して加算する帰還手段（端数処理レジスター 18 から入力用加算器 12 への入力）とを備える。

【選択図】 図 1

特願 2 0 0 3 - 0 5 6 9 1 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社